

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05204964 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 08-160464 [JP 8160464 A]

PUBLISHED: June 21, 1996 (19960621)

INVENTOR(s): JINNO MASASHI

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 06-306559 [JP 94306559]

FILED: December 09, 1994 (19941209)

INTL CLASS: [6] G02F-001/136; H01L-029/786; H01L-021/336

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R011 (LIQUID CRYSTALS)

ABSTRACT

PURPOSE: To increase OFF resistance for improving the voltage holding rate in a pixel part and to decrease ON resistance for increasing the mobility in a driving circuit part by controlling the size or density of a low-density region in an LDD structure.

CONSTITUTION: Source and drain regions 11S, 11D are formed which are self-aligned to a gate electrode 13 by injecting ions of n-type impurities in a channel layer 11. Respective region 11S, 11D are divided into a high density region $n(\text{sup } +)$ and a low density region $n(\text{sup } -)$ by injecting ions twice in such a manner that the low density region $n(\text{sup } -)$ in a pixel part has width $L(\text{sub } 1)$ larger than the width $L(\text{sub } 2)$ of the low density region $n(\text{sup } -)$ in a driving circuit part. By this method, the resistance in the channel layer 12 in the pixel part is increased and in the driving circuit part, the resistance is decreased. Thus, OFF resistance is increased in the pixel part to improve the holding rate of voltage applied on a liquid crystal, while in the driving circuit, ON resistance is decreased to improve the mobility.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-160464

(43) 公開日 平成8年(1996)6月21日

(51) Int. Cl. ⁶

G02F 1/136

H01L 29/786

21/336

識別記号

500

F I

9056-4M

9056-4M

H01L 29/78

612 B

616 A

審査請求 未請求 請求項の数 2 O L (全7頁)

(21) 出願番号

特願平6-306559

(22) 出願日

平成6年(1994)12月9日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 神野 優志

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 液晶表示装置

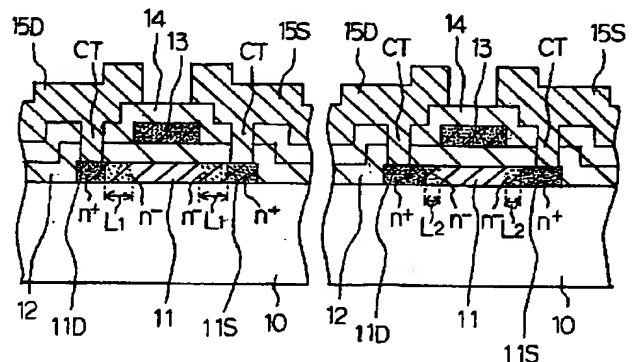
(57) 【要約】

【目的】 p-S i T F Tを用いた駆動回路内蔵型液晶表示装置において、画素部と駆動回路部で、トランジスタのチャンネルコンダクタンスを異ならせることにより、電圧保持率を向上すると共に、駆動能力を向上する。

【構成】 L D D構造のT F Tにおいて、画素部の低濃度領域 (n-) の幅 (L1) を長く、駆動回路部の低濃度領域 (n-) の幅を短く形成する。これにより、画素部では、O F F抵抗が増大して電圧保持率が向上するとともに、駆動回路部では、移動度が上昇して駆動能力が向上する。

画素部

駆動回路部



【特許請求の範囲】

【請求項 1】 基板上に互いに交差して配置されたゲートライン群とドレインライン群の各交差部に形成された第 1 の薄膜トランジスタ群と、

前記ゲートライン及びドレインラインを駆動する駆動回路部を構成する第 2 の薄膜トランジスタ群とが形成された液晶表示装置において、

前記第 1 及び第 2 の薄膜トランジスタは、半導体層として、多結晶シリコンを用い、そのソース及びドレイン領域は複数回の不純物のドーピングにより異なる濃度で低抵抗化された高濃度領域と低濃度領域からなり、かつ、前記第 2 の薄膜トランジスタは前記第 1 の薄膜トランジスタに比べて、前記低濃度領域が小さく形成されていることを特徴とする液晶表示装置。

【請求項 2】 基板上に互いに交差して配置されたゲートライン群とドレインライン群の各交差部に形成された第 1 の薄膜トランジスタ群と、

前記ゲートライン及びドレインラインを駆動する駆動回路部を構成する第 2 の薄膜トランジスタ群とが形成された液晶表示装置において、

前記第 1 及び第 2 の薄膜トランジスタは、半導体層として、多結晶シリコンを用い、そのソース及びドレイン領域は複数回の不純物のドーピングにより異なる濃度で低抵抗化された高濃度領域と低濃度領域からなり、かつ、前記第 2 の薄膜トランジスタは前記第 1 の薄膜トランジスタに比べて、前記低濃度領域の濃度が高く形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、液晶表示装置 (LCD: Liquid Crystal Display) に関し、特に、駆動回路部を表示画素部と同様に基板上に一体形成した、駆動回路内蔵型 LCD に関する。

【 0 0 0 2 】

【従来の技術】 LCD は小型、薄型、低消費電力などの利点があり、OA 機器、AV 機器などの分野で実用化が進んでいる。特に、スイッチング素子として、薄膜トランジスタ (TFT: Thin Film Transistor) を用いたアクティブマトリクス型は、原理的にデューティ比 100 % のスタティック駆動をマルチプレクスのに行うことができ、大画面、高精細な動画ディスプレイに使用されている。

【 0 0 0 3 】 アクティブマトリクス LCD は、マトリクス配置された表示電極に TFT を接続した基板 (TFT 基板) と、共通電極を有する基板 (対向基板) が貼り合わされて、隙間に液晶が封入されてなる。TFT は表示電極へのデータ信号入力を選択するスイッチング素子であり、ゲート電極、ドレイン電極、ソース電極、及び、非単結晶半導体層より構成される FET である。それぞれの電極はゲートライン、ドレインライン及び表示電極

に接続され、また、非単結晶半導体層は非晶質シリコン (a-Si) や多結晶シリコン (p-Si) などであり、チャンネル層として機能する。ゲートライン群は線順次に走査選択されて 1 走査線上の全ての TFT を ON とし、この ON 期間中にデータ信号が各ドレインラインを介してそれぞれの表示電極に入力される。共通電極は走査信号に同期して電位が設定され、対向する各表示電極との間に形成された画素容量に電圧が保持される。この保持電圧は間隙の液晶を駆動するとともに、液晶の駆動状態を 1 走査期間保持する。このように、透過率が画素ごとに調整された各透過光は、巨視的な合成により所望の表示画像として視認される。

【 0 0 0 4 】 近年、TFT のチャンネル層として p-Si を用いることによって、マトリクス画素部と周縁駆動回路を同一基板上に形成した駆動回路内蔵型の LCD が開発されている。一般に、p-Si は a-Si に比べて移動度が高く、また、ゲートセルフアライン構造による微細化や寄生容量の縮小が可能のため、n-ch TFT と p-ch TFT の相補構造が形成でき、高速駆動回路に適している。そのため、駆動回路部をマトリクス画素部と一体形成することにより、製造コストの削減、ディスプレイモジュールの小型化が実現される。

【 0 0 0 5 】 図 9 にこのような LCD の構成を示す。中央部はマトリクス画素部であり、ゲートライン (G1 ~ Gm) とドレインライン (D1 ~ Dn) が交差配置されており、交点にはスイッチング TFT 及びこれに接続する表示電極 (いずれも不図示) が形成されている。画素部の左右にはゲートライン (G1 ~ Gm) を選択するゲートドライバー (GD) が配置され、表示部の上下には、データ信号を印加するドレインドライバー (DD) とデータ信号を選択するサンプル回路 (S) が配置されている。これらドライバー (GD, DD) は主にシフトレジスタからなり、サンプル回路 (S) はサンプリング TFT が配列されてなる。スイッチング TFT、及び、サンプリング TFT は n-ch の p-Si TFT より構成され、また、ドライバー (GD, DD) は n-ch 及び p-ch の p-Si TFT の相補構造により構成されている。

【 0 0 0 6 】 駆動回路内蔵型 LCD では、駆動回路部の TFT の耐圧向上と、マトリクス画素部の TFT の OFF 電流の低減が課題となっている。即ち、駆動回路部では、ON/OFF 切り換え動作が頻繁で劣化が激しいので、特に、n-ch TFT の信頼性の向上が望まれるとともに、マトリクス画素部では、画素容量に印加された電圧の保持特性の向上が望まれる。そのため、p-Si チャンネル層において、不純物を高濃度にドーピングすることにより形成されたソース及びドレイン領域と、ノンドープのチャンネル領域の間に低濃度領域を介在させた、いわゆる、低濃度ドレイン (LDD: Lightly Doped Drain) 構造が採用される。LDD は低濃度領域の介

在により、ソース・チャンネル間及びドレイン・チャンネル間の界面付近の強電界を緩和させるものであるが、これにより、信頼性が向上するとともに、OFF抵抗が上昇して電圧保持率が向上する。

【0007】図10にLDD構造のTFTについて従来例を示す。高耐熱性の石英ガラスなどからなる透明基板(10)上に、600℃程度の熱CVDによりp-Siを約600Åの厚さに積層し、これをエッチングで島状にパターニングしたチャンネル層(11)がある。チャンネル層(11)上には、熱CVDによりSiO₂を積層したゲート絶縁膜(12)がある。ゲート絶縁膜(12)上には、ゲート配線となるp-Siを熱CVDにより約3000Åの厚さに積層し、低抵抗化のために不純物を注入してn型の高濃度にドーピングしてパターニングして得られるゲート電極(13)がある。また、チャンネル層(11)には、ゲート電極(13)をマスクとしてPのイオン注入を行って、n型のソース・ドレイン領域(11S, 11D)を形成した後、ゲート電極(13)より大きなパターンのレジストを形成し、これをマスクにAsのイオン注入を行ってn+型の高濃度領域を形成している。これにより、内側に低濃度領域を有したソース・ドレイン領域(11S, 11D)が得られ、LDD構造となる。そして、900℃、30分程度の活性化アニールを行い、注入部分の格子欠陥の回復と、不純物の格子位置への置換を促す。更に、全面にはSiNXなどの層間絶縁膜(14)を被覆され、層間絶縁膜(14)上には、Alなどをからなるソース及びドレイン電極(15S, 15D)が設けられ、コンタクトホール(CT)を介してソース・ドレイン領域(11S, 11D)に接続されている。

【0008】

【発明が解決しようとする課題】LDD構造では、チャンネル領域中に直列に介在された低濃度領域が高抵抗であるため、TFTのチャンネルコンダクタンスが減少する。画素部については、OFF電流が低減して保持特性が向上するので適しているが、駆動回路部については、移動度が低下しON特性が劣化する点で適さない。

【0009】本発明の目的は、画素部と駆動回路部のTFTのチャンネルコンダクタンスを異ならせ、画素部ではOFF電流を減少させるとともに、駆動回路部ではON抵抗を低減することにある。

【0010】

【課題を解決するための手段】本発明はこの課題に鑑みて成され、第1に、基板上に互いに交差して配置されたゲートライン群とドレインライン群の各交差部に形成された第1の薄膜トランジスタ群と、前記ゲートライン及びドレインラインを駆動する駆動回路部を構成する第2の薄膜トランジスタ群とが形成された液晶表示装置において、前記第1及び第2の薄膜トランジスタは、半導体層として、多結晶シリコンを用い、そのソース及びドレ

イン領域は複数回の不純物のドーピングにより異なる濃度で低抵抗化された高濃度領域と低濃度領域からなり、かつ、前記第2の薄膜トランジスタは前記第1の薄膜トランジスタに比べて、前記低濃度領域が小さく形成された構成である。

【0011】第2に、基板上に互いに交差して配置されたゲートライン群とドレインライン群の各交差部に形成された第1の薄膜トランジスタ群と、前記ゲートライン及びドレインラインを駆動する駆動回路部を構成する第2の薄膜トランジスタ群とが形成された液晶表示装置において、前記第1及び第2の薄膜トランジスタは、半導体層として、多結晶シリコンを用い、そのソース及びドレイン領域は複数回の不純物のドーピングにより異なる濃度で低抵抗化された高濃度領域と低濃度領域からなり、かつ、前記第2の薄膜トランジスタは前記第1の薄膜トランジスタに比べて、前記低濃度領域の濃度が高く形成された構成である。

【0012】

【作用】前記第1の構成で、第2の薄膜トランジスタは、低濃度領域が第1の薄膜トランジスタよりも小さく抵抗が減少するため、トランジスタのチャンネルコンダクタンスが上昇する。これにより、第1の薄膜トランジスタは、OFF抵抗が高く電圧保持率が上昇するとともに、第2の薄膜トランジスタはON抵抗が減少して移動度が上昇する。

【0013】前記第2の構成で、第2の薄膜トランジスタは、低濃度領域の濃度が第1の薄膜トランジスタよりも高く抵抗が減少するため、トランジスタのチャンネルコンダクタンスが上昇する。これにより、第1の薄膜トランジスタは、OFF抵抗が高く電圧保持率が上昇するとともに、第2の薄膜トランジスタはON抵抗が減少して移動度が上昇する。

【0014】

【実施例】続いて、本発明の実施例を説明する。図1は、本発明の第1の実施例にかかる液晶表示装置の断面図であり、左側に画素部のTFT、右側に駆動回路部のTFTを示している。いずれも、石英ガラスなどの高耐熱性の基板(10)上に、p-Siからなるチャンネル層(11)が島状に形成されている。この上に被覆されたSiO₂などのゲート絶縁膜(12)を挟んで、p-Siからなるゲート電極(13)が形成されている。チャンネル層(11)には、n型不純物のイオン注入でゲート電極(13)にセルフアラインしたソース及びドレイン領域(11S, 11D)が形成されている。ソース及びドレイン領域(11S, 11D)は2回のイオン注入により高濃度領域(n+)と低濃度領域(n-)に分けられている。低濃度領域(n-)は、駆動回路部より画素部の方が大きく形成されている(L1>L2)。ゲート電極(13)を覆う全面にはSiO₂などの層間絶縁膜(14)が形成され、層間絶縁膜(14)上には、Al

などからなるソース及びドレイン電極(15S, 15D)が形成され、コンタクトホール(CT)を介してそれぞれソース及びドレイン領域(11S, 11D)に接続されている。

【0015】画素部の低濃度領域(n-)の幅(L1)を大きく、駆動回路部の低濃度領域(n-)の幅(L2)を小さく形成したことにより、画素部ではチャンネル層(12)の抵抗が大きくなり、駆動回路部では小さくなる。このため、画素部では、OFF抵抗が増大して液晶への印加電圧の保持率が向上するとともに、駆動回路部では、ON抵抗が低下して、移動度が向上する。

【0016】図2から図5に製造方法を示す。高耐熱性の石英ガラスからなる透明基板(10)上に、640℃、0.3 Torr程度の条件下でSiH₄またはSi₂H₆を材料ガスとした減圧CVDにより、厚さ約600Åのp-Si膜を積層する。このp-Si膜をエッチングすることにより、島状のチャンネル層(11)が形成される。チャンネル層(11)上には全面にHTO (High Temperature Oxide) 膜、即ち、880℃、0.8 Torr程度の高温低圧条件で、材料ガスとしてSiH₂Cl₂(ジクロロシラン)とN₂Oの混合ガスを用いた減圧CVDにより厚さ約1000ÅのSiO₂を積層し、ゲート絶縁膜(12)としている。尚、p-Siはa-Siの熱処理やレーザー処理により多結晶化したものでもよく、また、HTO膜はp-Siを熱酸化したものでもよい。(以上、図2参照)

続いて、ゲート配線となるp-Siを前述のチャンネル用p-Siと同様の方法で、3000Å程度の厚さに成膜する。その後、減圧CVDによりPOCl₃を拡散源としてこのゲートp-Siをn+型にドーピングして低抵抗化する。ドーピングは、膜成長時にPCl₃などのドーパントガスを混入して行ってもよい。そして、SF₆とCl₂を主成分とした混合ガスを用いたプラズマエッチにより、ゲートp-Siのエッチングを行うことにより、ゲート電極(13)が形成される。(以上、図3参照)

次に、ゲート電極(13)をマスクとして、n型不純物である燐(P)の第1のイオン注入を低ドーズ量で行い低濃度のドーパントp-Si領域を形成する。これにより、ソース・ドレイン領域(11S, 11D)がn型にドーピングされて低抵抗化される。(以上、図4参照)

次に、ゲート電極(13)より大きなサイズのレジスト(R1, R2)でマスクングして、再び燐(P)の第2のイオン注入を高ドーズ量で行い高濃度のドーパントp-Si領域を形成する。これにより、ソース・ドレイン領域(11S, 11D)がノンドーピング領域との接続部を除いてn+型にドーピングされて、LDD構造が形成される。レジスト(R1)はレジスト(R2)よりも大きく形成され、低濃度領域(n-)は、画素部が大きく、駆

動回路部が小さくされる。(以上、図5参照)

以下、レジスト(R1, R2)を剥離した後、900℃、30分程度の活性化アニールを行って、イオン注入によって生じた格子欠陥の回復と、不純物原子の格子位置への置換を促す。最後に、層間絶縁膜(14)として全面にSiO₂のCVD膜を形成し、エッチングで所定のコンタクトホール(CT)を形成した後、Alの成膜とエッチングによりソース・ドレイン電極(15)を形成して、図1の構造が得られる。

【0017】続いて、本発明の第2の実施例を説明する。図6は、第1の実施例と同様、左側が画素部のTFT、右側が駆動回路部のTFTの断面図である。いずれも、石英ガラスなどの高耐熱性の基板(10)上に、p-Siからなるチャンネル層(11)が島状に形成されている。この上に被覆されたSiO₂などのゲート絶縁膜(12)を挟んで、p-Siからなるゲート電極(13)が形成されている。チャンネル層(11)には、n型不純物のイオン注入でゲート電極(13)にセルフアラインしたソース及びドレイン領域(11S, 11D)が形成されている。ソース及びドレイン領域(11S, 11D)は3回のイオン注入により高濃度領域(n++)と低濃度領域(n+, n-)が形成されている。低濃度領域濃度は、画素部が低く(n-)、駆動回路部が高く(n+)形成されている。ゲート電極(13)を覆う全面にはSiO₂などの層間絶縁膜(14)が形成され、層間絶縁膜(14)上には、Alなどからなるソース及びドレイン電極(15S, 15D)が形成され、コンタクトホール(CT)を介してそれぞれソース及びドレイン領域(11S, 11D)に接続されている。

【0018】画素部の低濃度領域(n-)の濃度を低く、駆動回路部の低濃度領域(n+)の濃度を高く形成したことにより、画素部ではチャンネル層(12)の抵抗が大きくなり、駆動回路部では小さくなる。このため、画素部では、OFF抵抗が増大して液晶への印加電圧の保持率が向上するとともに、駆動回路部では、ON抵抗が低下して、移動度が向上する。

【0019】次に、製造方法を説明する。第1の実施例の図4において、燐(P)の第1のイオン注入を低ドーズ量で行ってソース及びドレイン領域(11S, 11D)をn型へドーピングした後、画素部にゲート電極(13)より大きなレジスト(R3)でマスクングして、燐(P)の第2のイオン注入を高ドーズ量で行う。これにより、画素部では、低濃度領域がn型に保持され、高濃度領域がn+型にされるとともに、駆動回路部では、ソース及びドレイン領域(11S, 11D)の全域がn+にされる。(以上、図7参照)

続いて、駆動回路部にもゲート電極(13)より大きなレジスト(R4)でマスクングして、燐(P)の第3のイオン注入を高ドーズ量で行う。これにより、画素部では、低濃度領域がn型に保持されるとともに、高濃度

領域が n^{++} 型にドーピングされ、駆動回路部では、ソース及びドレイン領域(11S, 11D)が、ノンドーピング領域との接続部分が n^{+} 型に保持されるとともに、これ以外の領域が n^{++} 型にドーピングされて、LDD構造が形成される。(以上、図8参照)以下、第1の実施例と同様に、アニールを行い、ソース及びドレイン電極(13S, 13D)を形成して図6の構造となる。

【0020】

【発明の効果】以上の説明から明らかな如く、 $p-Si$ TFTを用いた液晶表示装置において、LDD構造の低濃度領域の大きさまたは濃度を調整することにより、トランジスタのチャンネルコンダクタンスを異ならせ、画素部では、OFF抵抗を増大して電圧保持率を向上するとともに、駆動回路部では、ON抵抗を減少して移動度を上昇させることができた。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係る液晶表示装置の断面図である。

【図2】本発明の実施例に係る製造工程の断面図である。

【図3】本発明の実施例に係る製造工程の断面図である。

【図4】本発明の実施例に係る製造工程の断面図である。

【図5】本発明の実施例に係る製造工程の断面図であ

る。

【図6】本発明の第1の実施例に係る液晶表示装置の断面図である。

【図7】本発明の実施例に係る製造工程の断面図である。

【図8】本発明の実施例に係る製造工程の断面図である。

【図9】液晶表示装置の平面図である。

【図10】従来の液晶表示装置の断面図である。

【符号の説明】

G1~Gm ゲートライン
D1~Dn ドレインライン
GD ゲートドライバー
DD ドレインライバー
S サンプル回路
10 透明基板
11 チャンネル層
11S ソース領域
11D ドレイン領域
12 ゲート絶縁膜
13 ゲート電極
14 層間絶縁膜
15S ソース電極
15D ドレイン電極
CT コンタクトホール

【図1】

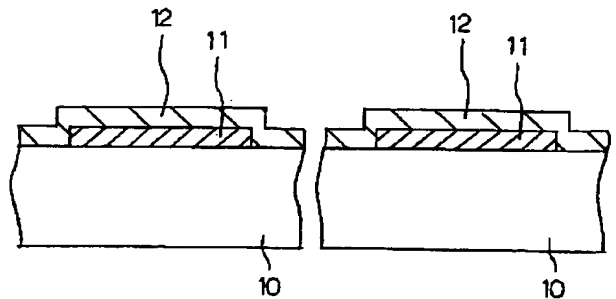
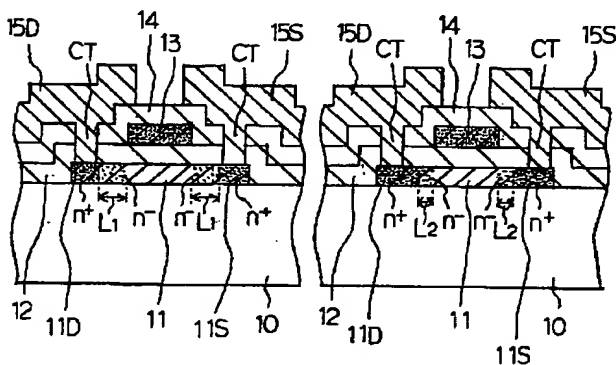
【図2】

画素部

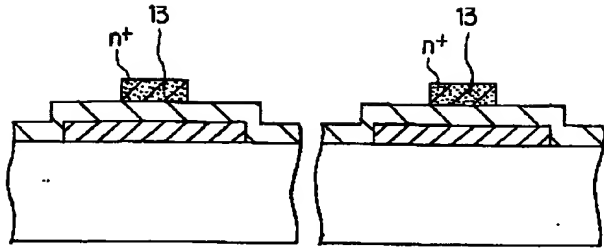
駆動回路部

画素部

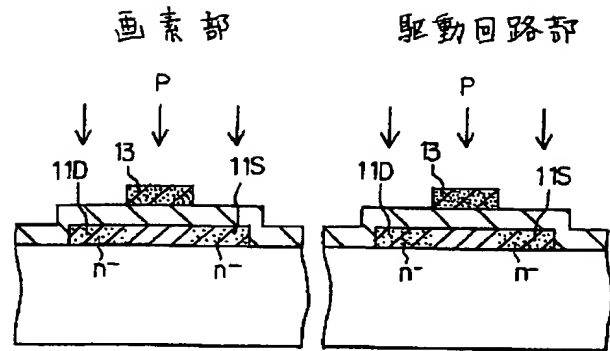
駆動回路部



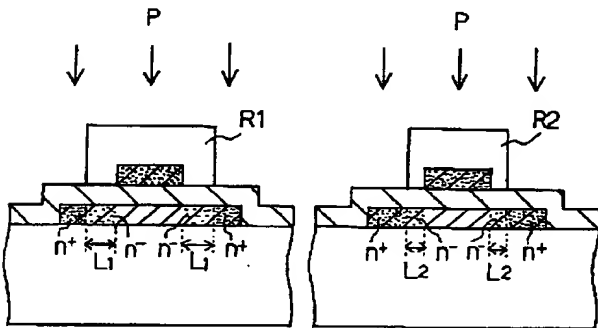
【図 3】



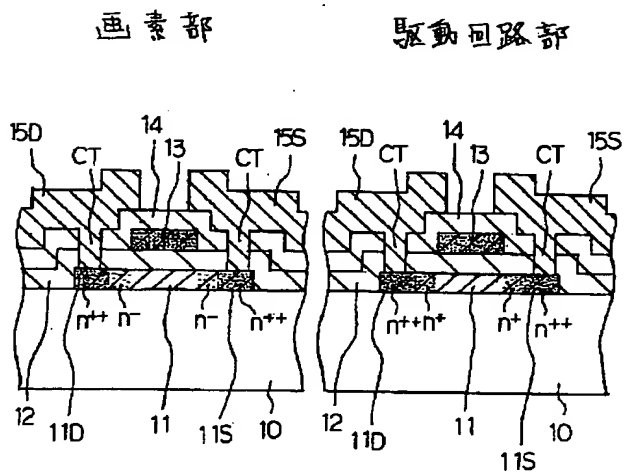
【図 4】



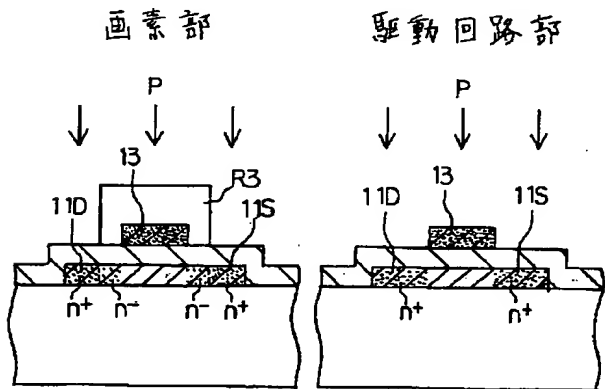
【図 5】



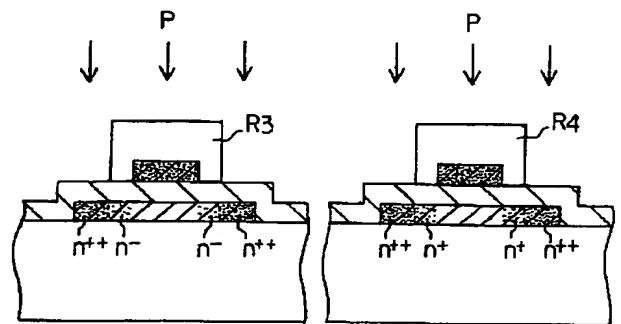
【図 6】



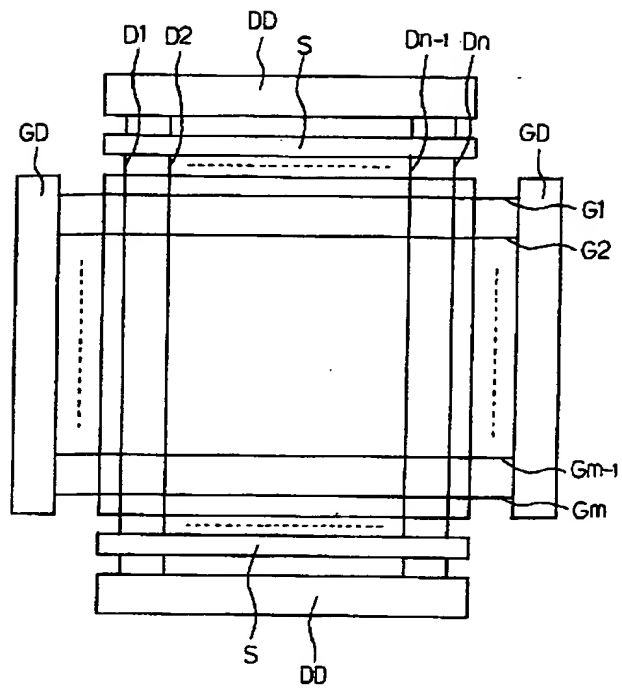
【図 7】



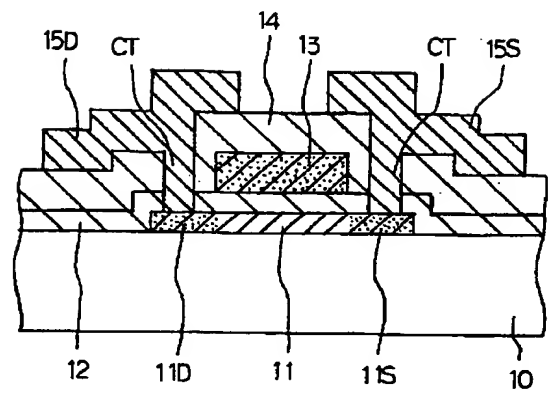
【図 8】



【図 9】



【図 10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.